

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-268284

(43) 公開日 平成4年(1992)9月24日

(51) Int.Cl. ¹	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 5/00	3 0 2 Z	2116-5L		
G 0 6 F 3/08		H 7165-5B		
	12/06	5 3 0	8841-5B	
H 0 4 N 5/907		B 7916-5C		

審査請求 未請求 請求項の数 2 (全 3 頁)

(21) 出願番号 特願平3-48585

(22) 出願日 平成3年(1991)2月22日

(71) 出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 岡本 恒

東京都港区西麻布2丁目26番30号 富士写

真フイルム株式会社内

(74) 代理人 弁理士 香取 孝雄

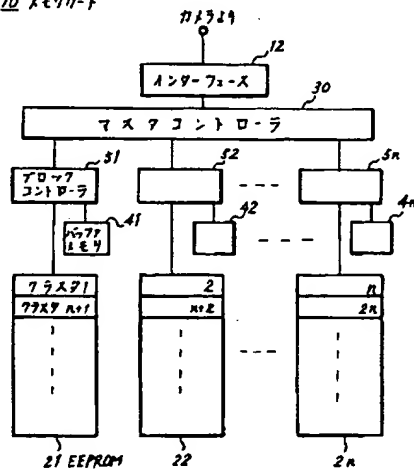
(54) 【発明の名称】 メモリカード

(57) 【要約】

【目的】 情報が高速に入力されるメモリカードにおいて、EEPROMの低速な書き込みを高速化する。

【構成】 EEPROMの記憶領域を複数群に分割し、複数群の群制御手段およびバッファ記憶手段を設ける。主制御手段は、外部からの入力情報を複数群に分割して群制御手段よりバッファ記憶手段に入力する。バッファ記憶手段は、この情報を低速で出力し、ブロック制御手段はこれをEEPROMに書き込む。

10 メモリカード



【特許請求の範囲】

【請求項1】 EEPROMを記憶領域とするメモリカードにおいて、前記記憶領域は複数群に分割され、該メモリカードは、前記複数群に対応する複数の群制御手段およびバッファ記憶手段と、複数群を制御する主制御手段とを有し、該主制御手段は、直列に入力される情報を前記複数群に時分割して、群対応の群制御手段よりバッファ記憶手段に渡し、該バッファ記憶手段は、入力される情報を一時記憶してEEPROMの書き込みの速度で出力し、前記群制御手段は前記バッファ記憶手段からの出力をEEPROMの対応する群の記憶領域に書き込むことを特徴とするメモリカード。

【請求項2】 請求項1に記載のメモリカードにおいて、前記バッファ記憶手段は、シングルポートメモリおよびデュアルポートメモリのいずれかであることを特徴とするメモリカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、EEPROMを記憶領域とするメモリカードに関するものである。

【0002】

【従来の技術】 電子スチルカメラで、画像データの保存媒体に用いられる従来のメモリカードは、記憶領域がSRAMであった。SRAMは、バックアップ用の電源回路が必要であり、ビット単価が高価となる欠点がある。近年、電池のバックアップが不要で、ブロック単位に電氣的消去が可能なEEPROMを記憶領域とするメモリカードが実用化され、容量も1Mビットのものも現われ、SRAMのメモリカードに代って用いることが考えられよう。

【0003】

【発明が解決しようとする課題】 しかし、現在のEEPROMは、低速でアクセスに時間がかかるという問題がある。このEEPROMを用いたカメラでは、連写を可能とするために、カメラ側に画像情報を一時的に記憶するバッファメモリを設ける必要があり、連写の枚数が多くなるとバッファメモリは大容量になるという欠点がある。

【0004】 本発明はこのような従来の技術の欠点を解消し、カメラ側にバッファメモリを設けなくて、連写が可能なメモリカードを提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は上述の課題を解決するために、EEPROMを記憶領域とするメモリカードにおいて、この記憶領域は複数群に分割され、カードは、複数群に対応する複数の群制御手段およびバッファ記憶手段と、複数群を制御する主制御手段とを有し、主制御手段は、直列に入力される情報を複数群に時分割して、群対応の群制御手段よりバッファ記憶手段に渡し、バッファ記憶手段は、入力される情報を一時記憶してEEPROMの書き込みの速度で出力し、群制御手段はこの出力をEEPROMの対応する群の記憶領域に書き込む。

【0006】

【作用】 本発明によれば、メモリカードにおいて、EEPROMの記憶領域を複数群に分割し、複数群のブロック制御手段およびバッファ記憶手段を設ける。群を制御する主制御手段は、外部からの入力情報を複数群に時分割してブロック制御手段よりバッファ記憶手段に渡し、バッファ記憶手段は、この情報を低速で出力し、ブロック制御手段は、これを群対応のEEPROMに書き込む。

【0007】

10 【実施例】 次に添付図面を参照して本発明によるメモリカードの実施例を詳細に説明する。図1は実施例を示すメモリカードの概略ブロック図である。この実施例のメモリカードの構成において、メモリカード10は、カメラ（図示せず）に装着され、撮影されたコマ単位の画像情報およびその付属データを記録する。メモリカード10は、複数に分割されたEEPROMの記憶領域を有し、これらの領域にパイプライン方式の並列書き込みを行うことにより、EEPROMの低速な書き込みを高速化する。マスタコントローラ30は、EEPROM 21, 22...2n、およびSRAMのバッファメモリ41, 42...4nを接続するブロックコントローラ51, 52...5nと接続され、メモリカード10がカメラに装着されると、インターフェース32を介してカメラのコントロールユニットと接続される。

20 【0008】 EEPROM 21, 22...2n は単位記憶領域すなわちクラスタ1, 2...n, (n+1), (n+2)...2n ... で構成されている。この順番で各クラスタが選択され、所定量、例えば、バイト単位、または1クラスタ単位の画像情報が書き込まれる。バッファメモリ41, 42...4nは、EEPROMの前述の所定量の容量を有し、カメラの出力する速度で情報を書き込み、記憶した情報をEEPROMの書き込み速度で読み出すことができるシングルポートメモリ、ないしデュアルポートメモリである。シングルポートメモリは、書き込み後に読み出し、デュアルポートメモリは書き込みと読み出しを同時に行う。

30 【0009】 EEPROMは、既存の記録を消去してから書き込みが行なわれるので、マスタコントローラ30は、カメラと接続されると、カメラからの指示により記録個所のEEPROMをクラスタ単位で消去する。撮影が開始されると、マスタコントローラ30は、インターフェース32を介してカメラから入力される画像情報の時系列を所定量に時分割して、例えば、バイト単位、または1クラスタ単位でブロックコントローラ51, 52...5nに順番に出力することを繰り返す。ブロックコントローラ51, 52...5nは、これをそれぞれのバッファメモリ41, 42...4n に配分する。

40 【0010】 バッファメモリ41, 42...4nは、それぞれ、カメラの読み出し速度で入力される画像情報を書き込み、その情報をFIFOの順序でEEPROMの低速な書き込み速度で読み出す。ブロックコントローラ51, 52...5nは、それぞれのバッファメモリ41, 42...4nの読み出す画像情報をEEPROMに低速で書き込む。EEPROM 21, 22...2nのそれぞれのク

ラストに、所定量の画像情報が時分割に書き込まれる。

【0011】バッファメモリ41、42...4n（以下バッファと呼ぶ）が、デュアルポートメモリ、およびシングルポートメモリの場合の動作を図2および図3に示す。図2において、マスタコントローラ30は、カメラからの画像情報を所定量に分割するライトサイクルW1、W2...Wnでブロックコントローラ51、52...5nにこの番号順にサイクリックに出力する。各ブロックコントローラ51、52...5nは画像情報をデュアルポートメモリのバッファ41、42...4nに出力する。バッファ41は、ライトサイクルW1に入力する画像情報を書き込んで記憶し、記憶した情報を入力順にライトサイクルW1〜Wnの期間に読み出し、読み出された情報は、ブロックコントローラ51を介してEEPROM 21のクラスタ1に書き込まれる。バッファ42は、ライトサイクルW2に書き込んだ画像情報をライトサイクルW2〜W1に読み出し、読み出された情報は、ブロックコントローラ52を介してEEPROM 2nのクラスタ2に書き込まれる。以下同様にしてEEPROM 2nのクラスタnまで書き込みが行なわれる。次に、クラスタ(n+1)〜2nが書き込まれる。

【0012】図3において、マスタコントローラ30およびブロックコントローラ51、52...5nの動作は図2と同様であるが、バッファ41は、シングルポートメモリであるので動作が異なる。バッファ41は、ライトサイクルW1で入力する画像情報を書き込み、次のライトサイクルW2〜Wnにこの情報を読み出す。バッファ42は、ライトサイク

ルW2で入力する画像情報を書き込み、次に、この情報をライトサイクルW3〜Wn+1に読み出す。書き込みと読み出しがシリアルに行なわれ、EEPROM 21〜2nに画像情報が記録される。

【0013】EEPROMに記録された一コマ分の画像を選択し、書き込みと同じ順序で読み出すことにより画像の再生が行なわれる。

【0014】

【発明の効果】このように本発明によれば、カメラから高速で読み出される画像情報を、複数のEEPROMに並列に書き込むことにより、低速のEEPROMを高速の画像記録媒体としてリアルタイムに使用できる。EEPROMを高速の記録媒体としてコンピュータなどで使用できる。

【図面の簡単な説明】

【図1】本発明のメモ리카ードの実施例を示すブロック構成図である。

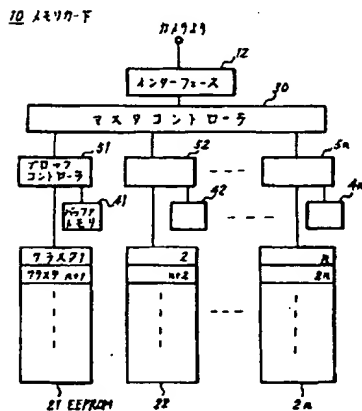
【図2】バッファメモリがデュアルポートメモリの場合の実施例の動作図である。

【図3】バッファメモリがシングルポートメモリの場合の実施例の動作図である。

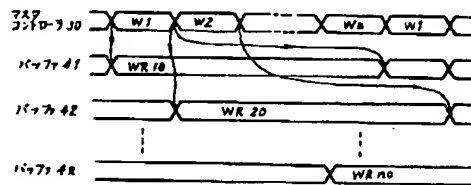
【符号の説明】

10 メモ리카ード
21〜2n EEPROM
30 マスタコントローラ
41〜4n バッファメモリ
51〜5n ブロックコントローラ

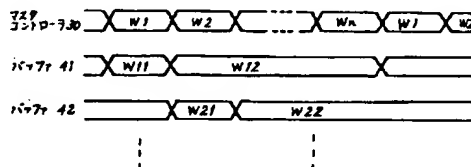
【図1】



【図2】



【図3】



19. Japan Patent Office (JP) 12. Laid-open Patent Gazette (A) 11. Laid-open Patent Application
Hei 4-268284

43. Date Published: September 24, 1992

51.	Int. Cl. ⁵ ID No.	Office Control No.	FI	Technology Display Location
	G 11 C 5/00 302	Z 2116-5L		
	G 06 F 3/08	H 7165-5B		
	12/06 530	8841-5B		
	H 04 N 5/907	B 7916-5C		

Examination: Not requested yet
Number of Claims: 2 (Total 3 pages)

21. Application Number: Hei 3-48585	71. Applicant: Fuji Photo Film Co., Ltd. (000005201), No. 210 Nakanuma, Minami Ashigara City, Kanagawa Prefecture
22. Application Date: February 22, 1991	72. Inventor: Satoru Okamoto, Fuji Photo Film Co., Ltd., 2-26-30 Nishi Asabu, Minato-ku, Tokyo
	74. Agent: Norio Katori, Patent Agent

54. TITLE OF INVENTION: Memory Card

55. ABSTRACT

OBJECT: To accelerate EPROM low-speed writing in a memory card in which information is input at high speed.

CONSTITUTION: The EEPROM memory region is divided into a plurality of groups, and group control means and buffer memory means are provided for the plurality of groups. The main control means divides externally input information into a plurality of groups and inputs it to the buffer memory means from the group control means. The buffer memory means outputs this information at low speed and the block control means writes this to the EEPROM.

[Key to figure on page 601]

10	Memory card
	From camera
12	Interface
30	Master controller
51	Block controller
41	Buffer memory
	Cluster 1
	Cluster n + 1

[left column]

1

WHAT IS CLAIMED IS:

Claim 1: A memory card, whose memory region is an EEPROM, wherein said memory region is divided into a plurality of groups; said memory card comprises a plurality of group control means and buffer memory means corresponding to said plurality of groups, and a main control means controlling the plurality of groups; the main control means time-divides serially input information into said plurality of groups and transfers it to the buffer memory means using the group control means for the corresponding group; the buffer memory means temporarily stores the input information and outputs it at the EEPROM's write speed; and said group control means writes the output from said buffer memory means to the memory region of the EEPROM's corresponding group.

Claim 2: A memory card, according to Claim 1, wherein said buffer memory means is either a single port memory or a dual port memory.

DETAILED DESCRIPTION OF THE INVENTION

{0001}

Industrial Field of Application

The present invention pertains to a memory card whose memory region is an EEPROM.

{0002}

Prior Art

The memory card typically used as an image data storage medium in an electronic still camera has been one whose memory region is an SRAM. An SRAM has the problems that it requires a power circuit for back-up, and the cost per bit is expensive. Recently memory cards whose memory region is an EEPROM have been developed; they do not need battery back-up and can erase block units electrically. Ones with a capacity of 1 Mbit have appeared, and they are expected to replace SRAM memory cards.

{0003}

Problems the Invention Is to Solve

However, current EEPROMs have the problem that they are slow and access takes time. If this EEPROM is used in a camera, making it possible to do continuous shooting requires providing a buffer memory at the camera side to temporarily store image information, and if there are many continuous shots, the buffer memory becomes high-capacity, which is a disadvantage.

{0004}

The object of the present invention is to resolve these defects of prior art by providing a memory card that is capable of continuous shooting without providing a buffer memory at the camera side.

{0005}

Means of Solving the Problems

In order to resolve the aforesaid problems, the present invention is a memory card whose memory region is an EEPROM, wherein said memory region is divided into a plurality of groups. The card has a plurality of group control means and buffer memory means corresponding to the plurality of groups, and a main control means controlling the plurality of groups. The main control means time-divides serially input information into the plurality of groups and transfers it to the buffer memory means using the group control means for the corresponding group. The buffer memory means temporarily stores the input information and outputs it at the EEPROM's write speed. The group control means writes this output to the memory region of the EEPROM's corresponding group.

[right column]

2

{0006}

Operation

According to the present invention, the EEPROM's memory region is divided into a plurality of groups, and block control means and buffer memory means are provided for the plurality of groups. The main control means controlling the groups time-divides externally input information into a plurality of groups and transfers it to the buffer memory means using the block control means. The buffer memory means outputs this information at low speed, and the block control means writes this to the corresponding-group EEPROM.

{0007}

Embodiment

Next, an embodiment of a memory card in accordance with the present invention shall be described in detail with reference to the attached drawings. FIG. 1 is a schematic block diagram of a memory card illustrating an embodiment. In this embodiment's memory card constitution, a memory card 10 is mounted in a camera (not shown in the drawing), and stores imaged frame-unit image information and ancillary data. The memory card 10 has an EEPROM memory region that is multiply divided; the EEPROM's low-speed writing is accelerated by performing pipeline-type parallel writing to these regions. A master controller 30 is connected to block controllers 51, 52 ... 5n, which connect EEPROMs 21, 22 ... 2n and SRAM buffer memories 41, 42 ... 4n. When the memory card 10 is mounted in a camera, it is connected to the camera's control unit via an interface 32.

{0008}

EEPROMs 21, 22 ... 2n are constituted as unit memory regions, namely, as cluster 1, 2 ... n, (n+1), (n+2) ... 2n Each cluster is selected in this sequence, and image information is written in a predetermined amount, for example, in byte units or 1-cluster units. Buffer memories 41, 42 ... 4n have the previously described EEPROM predetermined capacity; they are single port memories or dual port memories that can write information at the camera's output speed and read stored information at the EEPROM's write speed. A single port memory reads after writing, and a dual port memory writes and reads simultaneously.

{0009}

An EEPROM writes after erasing previous storage, so the master controller 30, when connected to the camera, erases storage sites on EEPROMs in cluster units according to instructions from the camera. When imaging starts, the master controller 30 time-divides the image information time sequence input from the camera via the interface 32 into predetermined quantities, into byte units or 1-cluster units for example, and repeatedly outputs it in sequence to block controllers 51, 52 ... 5n. The block controllers 51, 52 ... 5n distribute this to the respective buffer memories 41, 42 ... 4n.

{0010}

The buffer memories 41, 42 ... 4n write the respective image information that was input at the camera's read speed, and write that information in FIFO sequence at the EEPROM's slow write speed. The block controllers 51, 52 ... 5n write the read image information in the respective buffer memories 41, 42 ... 4n to the EEPROM at low speed. The predetermined amount of image information is

(3)

[left column]

3

written in a time-divided manner to the respective clusters of EEPROMs 21, 22 ... 2n.
{0011}

FIG. 2 and FIG. 3 show operating diagrams when the buffer memories 41, 42 ... 4n (hereinafter "buffers") are dual port memories and single port memories. In FIG. 2, the master controller 30 cyclically outputs to block controllers 51, 52 ... 5n in this numerical sequence using write cycle W1, W2 ... Wn that divides the image information from the camera into predetermined amounts. Each block controller 51, 52 ... 5n outputs image information to dual port memory buffer 41, 42 ... 4n. The buffer 41 writes and stores the image information input in write cycle W1, reads the stored information in input sequence during the period write cycles W1 ~ Wn, and writes the read information to cluster 1 of the EEPROM 21 via the block controller 51. The buffer 42 reads the image information written in write cycle W2 during write cycles W2 ~ W1, and writes the read information to cluster 2 of the EEPROM 21 via the block controller 52. Then writing is similarly performed until cluster n of EEPROM 2n. Next, clusters (n+1) ~ 2n are read.

{0012}

In FIG. 3, the operation of the master controller 30 and the block controllers 51, 52 ... 5n are the same as in FIG. 2, but the buffer 41 is a single port memory so it operates differently. The buffer 41 writes the image information input in write cycle W1, and reads this information in the next write

[right column]

4

cycles W2 ~ Wn. The buffer 42 writes image information input in write cycle W2, and then reads this information in write cycles W3 ~ Wn+1. Writing and reading are performed serially, and the image information is stored in EEPROMs 21 ~ 2n.

{0013}

A frame's worth of image stored in an EEPROM is selected, and the image is reproduced by reading in the same sequence as writing.

{0014}

Effect of the Invention

According to the present invention as thus described, image information read from a camera at high speed is written in parallel to a plurality of EEPROMs, thereby making it possible to utilize a slow EEPROM as a high-speed image storage medium. EEPROMs can be used as high-speed storage media in computers, etc.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1: A block schematic drawing showing an embodiment of the inventive memory card.

FIG. 2: An operating diagram for an embodiment in which the buffer memory is a dual port memory.

FIG. 3: An operating diagram for an embodiment in which the buffer memory is a single port memory.

EXPLANATION OF CODES

10 Memory card
21 ~ 2n EEPROM
30 Master controller
41 ~ 4n Buffer memory
51 ~ 5n Block controller

FIG. 1

FIG. 2

FIG. 3

FH 008462